



PATENT

Docket No. JCLA11793

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

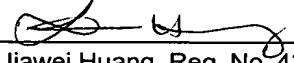
In re application of : YUNG-CHANG LIN et al.
Application No. : 10/718,896
Filed : November 20,2003

For : THE SAME
DYNAMIC RANDOM ACCESS MEMORY
CELL AND METHOD FOR FABRICATING

Certificate of Mailing
I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

March 24, 2004

(Date)


Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

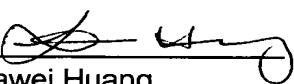
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 92131757 filed on November 13, 2003.

A return prepaid postcard is also included herewith.

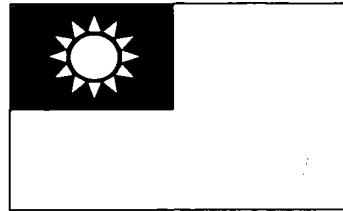
It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11793).

Date: 3/24/2004

By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申(請)日：西元 2003 年 11 月 13 日
Application Date

申請案號：092131757
Application No.

申請人：聯華電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 16 日
Issue Date

發文字號：
Serial No.

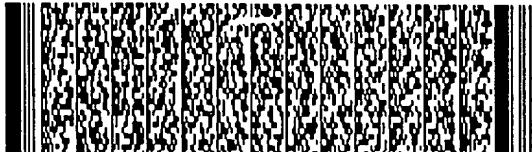
09320140580

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	動態隨機存取記憶胞及其製造方法
	英文	DRAM cell and method of forming thereof
二、 發明人 (共3人)	姓名 (中文)	1. 林永昌 2. 梁佳文
	姓名 (英文)	1. LIN, YUNG CHANG 2. LIANG, CHIA WEN
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台中縣豐原市圓環東路416號 2. 新竹市武陵路245巷22號7樓
	住居所 (英 文)	1. No. 416, Yuan-Huan E. Rd., Feng-Yuan, Taichung Hsien, Taiwan, R.O.C. 2. 7F, No. 22, Lane 245, Wu-Ling Rd., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 聯華電子股份有限公司
	名稱或 姓名 (英文)	1. United Microelectronics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 3, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 曹興誠
	代表人 (英文)	1. TSAO, ROBERT H. C.

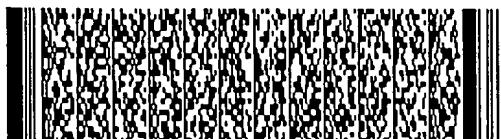


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 王泉富
	姓名 (英文)	3. WANG, CHUAN FU
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 苗栗縣竹南鎮新生路106號5弄12號
	住居所 (英文)	3. No. 12, Alley 5, Lane 106, Sinsheng Rd., Jhonghua Borough, Jhunan Township, Miaoli County 350, Taiwan R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：動態隨機存取記憶胞及其製造方法)

一種動態隨機存取記憶胞及其製造方法。其溝渠式電容器的製造方法係於一基底中形成一溝渠。之後，於溝渠表面形成一第一電容介電層，再於溝渠內形成一導電層。然後，於基底表面形成一第二電容介電層，其中第一與第二電容介電層周圍之基底係作為下電極。隨後，於基底上形成一凸出電極，其係覆蓋溝渠與基底的交界處並延伸覆蓋於導電層上。接著，電性連接凸出電極與導電層，以作為電容器之上電極。由於本發明結構與製程都很簡單，所以不但可防止漏電問題還能節省製造成本。

伍、(一)、本案代表圖為：第 2H 圖

(二)、本案代表圖之元件代表符號簡單說明：

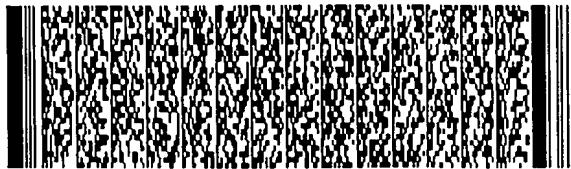
200：基底

202、206a：電容介電層

204：導電層

六、英文發明摘要 (發明名稱：DRAM cell and method of forming thereof)

DRAM cell and method of forming thereof. The method of forming DRAM cell is to form a trench in a substrate. A first capacitor dielectric is formed on the trench surface, and then a conductive layer is formed in the trench. A second capacitor dielectric is formed on the substrate surface, wherein the substrate around the first and second capacitor dielectrics is

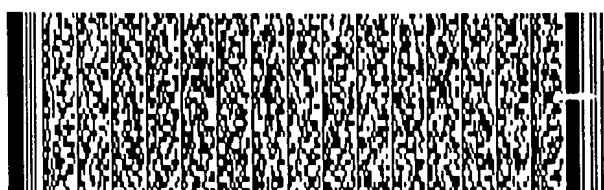


四、中文發明摘要 (發明名稱：動態隨機存取記憶胞及其製造方法)

206b : 閘介電層
208a : 凸出電極
208b : 閘極
209 : 閘隙壁
210 : 溝渠
211 : 源 / 沖極
212 : 內層介電層
214 : 接觸窗開口
216 : 導電結構
220 : 淺溝渠隔離結構

六、英文發明摘要 (發明名稱：DRAM cell and method of forming thereof)

regarded as a bottom electrode. A extrusive electrode is formed on the substrate, and it covers the boundary between the trench and the substrate and sweeps on the conductive layer. The conductive layer is then electrically connected with the extrusive electrode for a top electrode of a capacitor. Because both of the structure and process of the present invention are very simple,



四、中文發明摘要 (發明名稱：動態隨機存取記憶胞及其製造方法)

六、英文發明摘要 (發明名稱：DRAM cell and method of forming thereof)

it not only prevents leakage problem but also save manufacture cost.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

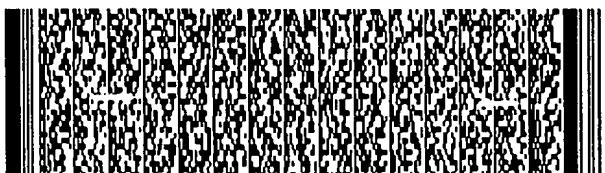
本發明是有關於一種半導體元件之製造方法，且特別是有關於一種動態隨機存取記憶胞(DRAM cell)及其製造方法。

先前技術

電容器是記憶胞藉以儲存訊號的重要部位，如果電容器所儲存的電荷愈多，則在讀取資料時受雜訊的影響將大大的降低。要增加電容器儲存電荷能力的方法有很多種，例如是增加電容器的面積，使整個儲存於電容器內的電荷數量增加。而找尋新的儲存電容器結構及其製造方法，以便於儲存電容器所佔的平面縮小的情況下，仍維持所需的電容值將是目前元件積集度不斷增加下所欲達到的目標之一。

目前有一種稱為「深溝渠式電容器(deep trench capacitor)」被廣泛應用於記憶元件中，如第1圖所示，其係習知一種具有深溝渠式電容器的動態隨機存取記憶胞之剖面示意圖。

請參照第1圖，習知的動態隨機存取記憶胞包括一深溝渠式電容器140與一電晶體150。深溝渠式電容器140係位於一基底100中，且此深溝渠式電容器140包括位於一深溝渠110中作為上電極的多晶矽層106a、106b與106c、位於深溝渠110周圍基底100中作為下電極的埋入電極區102以及上下電極間的電容介電層(capacitor dielectric)104。這種深溝渠式電容器140的結構係以三



五、發明說明 (2)

層多晶矽層106a、106b與106c構成其上電極，且通常於基底100內部還會另外植入一埋入電極區102與112。因此，要形成如此複雜的結構勢必需要繁複的製程。而且，習知動態隨機存取記憶胞中還有電晶體150的存在，而電晶體150包括位於基底100上的閘極130以及位於閘極130兩側之基底100中的源/汲極132。此外，於多晶矽層106b與基底100之間尚有一領氧化層(collar oxide)108用來隔絕多晶矽層106b與埋入電極區112，並於基底100中鄰接多晶矽層106c的區域有一埋入式帶(buried strap，簡稱BS)114。因此，如何簡化動態隨機存取記憶胞之電容器的結構與製程將是未來發展的重點之一。而且，因為習知的深溝渠式電容器之溝渠深度很深，而需要配合較大的電容器截面積以利多晶矽層的填入。所以，這種深溝渠式電容器無法隨著元件小型化的趨勢縮小。

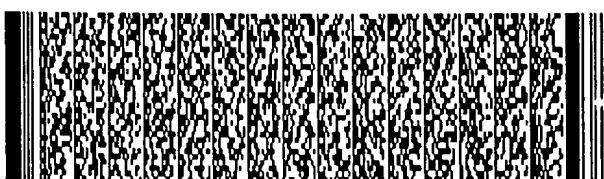
發明內容

因此，本發明之目的是提供一種動態隨機存取記憶胞及其製造方法，能夠配合元件小型化的趨勢發展。

本發明之再一目的是提供一種動態隨機存取記憶胞及其製造方法，以簡化製程並降低製造成本。

本發明之另一目的是提供一種動態隨機存取記憶胞及其製造方法，可獲得更大的電容耦合率。

本發明之另一目的是提供一種動態隨機存取記憶胞及其製造方法，可與一般邏輯製程(logic process)相容而應用於系統單晶片(system-on-chip，簡稱SOC)上。



五、發明說明 (3)

根據上述與其它目的，本發明提出一種溝渠式電容器之製造方法。此方法係先於基底中形成一溝渠。之後，於溝渠表面形成一第一電容介電層，再於溝渠內形成一導電層。然後，於基底及導電層上形成一第二電容介電層，其中第一與第二電容介電層周圍之基底係作為下電極，再於基底上形成一凸出電極，其係延伸於第一導電層上並覆蓋溝渠與基底的交界處。接著，電性連接凸出電極與第一導電層，其中第一導電層以及凸出電極係作為上電極。

本發明再提出一種動態隨機存取記憶胞之製造方法，包括於一基底中形成一溝渠。之後，於溝渠表面形成一第一電容介電層，再於溝渠內形成一導電層。隨後，於基底及導電層上形成一第二電容介電層，其中第一與第二電容介電層周圍之基底係作為下電極，再於基底上形成一凸出電極以及一閘極，其中凸出電極位於溝渠周緣之基底上並覆蓋溝渠與基底的交界處。然後，於閘極側邊的基底中形成數個源/汲極，再電性連接凸出電極以及第一導電層，其中第一導電層以及凸出電極係作為溝渠式電容器之上電極。

本發明提出一種溝渠式電容器，包括一基底、一導電層與一電容介電層，其中基底中具有一溝渠。導電層則填滿溝渠且延伸至溝渠周緣的基底上。而電容介電層是位於溝渠表面與導電層之間以及導電層與基底之間，其中導電層係作為上電極，而電容介電層周圍之基底係作為下電極。

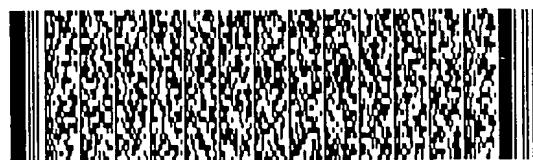


五、發明說明 (4)

本發明又提出一種溝渠式電容器，包括一基底、一第一電容介電層、一導電層、一凸出電極、一第二電容介電層以及一導電結構，其中基底具有一溝渠。導電層則位於溝渠內，第一電容介電層則位於溝渠表面與導電層之間。凸出電極係位於溝渠周緣之基底上並覆蓋於溝渠與基底的交界處。導電層以及凸出電極係藉由導電結構電性連接而作為上電極。再者，第二電容介電層是位於凸出電極與基底之間，其中第一與第二電容介電層周圍之基底係作為下電極。

本發明另外提出一種動態隨機存取記憶胞，包括具有一溝渠的基底、一電容介電層、一導電層、一閘極、數個源/汲極以及一閘介電層。導電層係填滿溝渠且延伸至溝渠周緣的基底上，電容介電層則位於溝渠表面與導電層之間以及導電層與基底之間，其中導電層作為一電容器之上電極，而電容介電層周圍之基底作為電容器之下電極。而閘極位於導電層旁之基底上、源/汲極則位於閘極側邊的基底中，且閘介電層是位於閘極與基底之間。

本發明又提出一種動態隨機存取記憶胞，包括具有一溝渠的基底、一第一電容介電層、一第二電容介電層、一導電層、一凸出電極、一閘極、數個源/汲極、一閘介電層以及一導電結構。導電層位於溝渠內，第一電容介電層則位於溝渠表面與導電層之間。凸出電極位於溝渠周緣之基底上並覆蓋於溝渠與基底的交界處，第二電容介電層則位於凸出電極與基底之間以及凸出電極與導電層之



五、發明說明 (5)

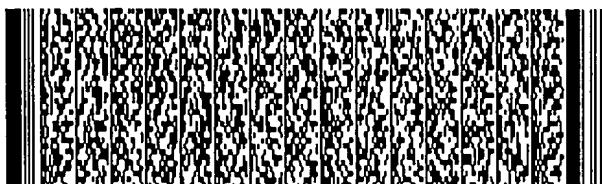
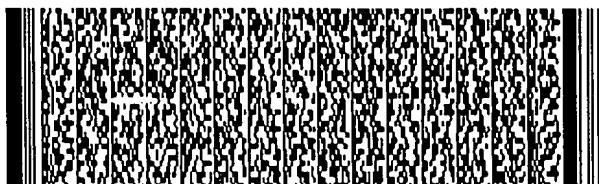
間，其中第一與第二電容介電層周圍之基底係作為電容器之下電極。而閘極係位於凸出電極旁之基底上，源/汲極則位於閘極側邊的基底中。再者，閘介電層是位於閘極與基底之間，而導電結構係電性連接凸出電極與導電層，其中導電層、凸出電極以及導電結構係作為電容器之上電極。

本發明因為在溝渠以外的基底上設計一凸出電極覆蓋溝渠與基底交界處來當作電容器上電極的一部份，所以不但避免溝渠式電容器與基底的交界處發生漏電，還可獲得更大的電容耦合率。此外，本發明因為能夠搭配現有的邏輯製程，故可簡化製程並降低製造成本，進而可應用於系統單晶片中。而且，本發明的電容器面積因為多一塊凸出於溝渠的電極，故可使整個儲存於電容器內的電荷數量比習知多。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

第2A圖至第2H圖係依照本發明之一較佳實施例之動態隨機存取記憶胞(DRAM cell)之製造流程剖面示意圖，其係可應用於系統單晶片(system-on-chip，簡稱SOC)。請參照第2A圖，提供一基底200如矽基底，再於基底200上形成一墊氧化層(pad oxide)201，並於墊氧化層201上形成一圖案化罩幕層(mask layer)203。之後，以圖案化罩幕



五、發明說明 (6)

層203為罩幕，於基底200中蝕刻形成一溝渠210。

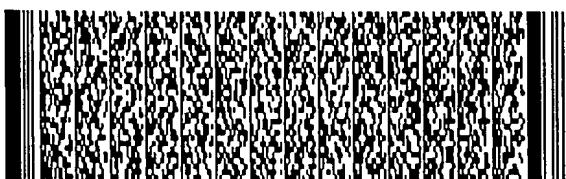
接著，請參照第2B圖，於基底200上形成一電容介電層202覆蓋溝渠210表面。電容介電層202譬如是氧化矽/氮化矽/氧化矽堆疊層(ONO)或氮化矽/氧化矽堆疊層(No)。

隨後，請參照第2C圖，於溝渠210中形成一第一導電層204，其中第一導電層204之材質如摻雜多晶矽。而前述於溝渠210中形成第一導電層204之步驟例如是先在基底200上形成一導電層填滿溝渠210，再利用化學機械研磨製程(CMP)去除溝渠210以外的導電層以及電容介電層202，在此步驟中圖案化罩幕層203可作為蝕刻終止層。

隨後，請參照第2D圖，移除部分第一導電層204使其頂面與基底200表面大致齊平，而移除部分第一導電層204的方法例如是回蝕刻法(etch back)。之後，將墊氧化層201與圖案化罩幕層203完全去除，此時部分電容介電層202也會被去除。

之後，請參照第2E圖，可選擇於此時製作記憶元件的淺溝渠隔離結構320，而且為了達到節省空間的目的，可將部分淺溝渠隔離結構320延伸至溝渠210內而位於第一導電層204與電容介電層202上。而此一形成淺溝渠隔離結構220的步驟可以在所有製程之前先進行，而非限定在形成溝渠210與導電層204後才製作。

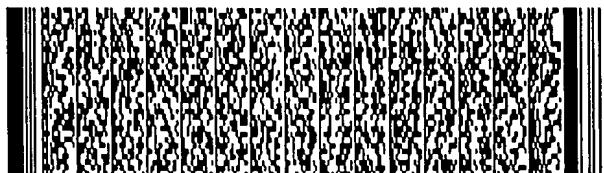
隨後，請參照第2F圖，於基底200表面及第一導電層204上形成一介電層，其中位於溝渠210周緣之基底200上的介電層可作為另一電容介電層206a，而離溝渠210較遠



五、發明說明 (7)

且預定形成閘極的部位上的介電層可作為閘介電層206b。而且，電容介電層206a與閘介電層206b的材質可以相同或不同，當兩者為不同材質時，可分別進行電容介電層206a與閘介電層206b之形成步驟，且電容介電層206a與閘介電層206b譬如是氧化矽/氮化矽/氧化矽堆疊層(ONO)或氮化矽/氧化矽堆疊層(ONO)；另外，閘介電層206b可以是氧化層。此外，在閘介電層206b形成前可選擇先進行一井植入製程(well implantation)，以於基底200中形成一井(未繪示)。且以PMOS為例，於基底200中形成的可為n井。然後，再於基底200上形成一第二導電層208，其材質如摻雜多晶矽。

接著，請參照第2G圖，定義第二導電層208，以形成一凸出電極208a以及一閘極208b，其中凸出電極208a係位於溝渠210周緣之基底200上並覆蓋溝渠210與基底200的交界處。故可防止因後續製程傷害裸露出的電容介電層202，而導致溝渠210頂部與基底200表面交接處發生漏電。此外，在溝渠210周緣的基底200上設置之一凸出電極208a還有增加電容耦合率的功用。而閘極208b是位於凸出電極208a旁的基底200上。之後，可於凸出電極208a以及閘極208b側壁形成間隙壁209，其材質例如是氮化矽。然後，進行一源/汲極植入製程，以於閘極208b側邊的基底200中形成源/汲極211。且以PMOS為例，基底200中所形成源/汲極211可以是p型摻雜區。接著，還可以包括一自行對準金屬矽化製程(salicide process)，以於凸出電極

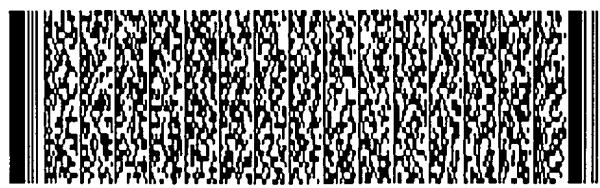
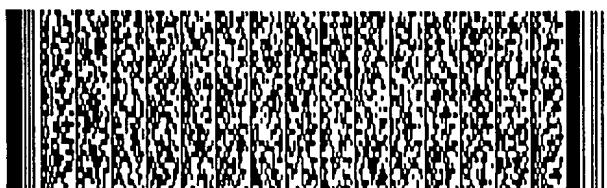


五、發明說明 (8)

208a 與閘極208b暴露出的表面上形成自行對準矽化金屬層 (未繪示)。

然後，請參照第2H圖，電性連接凸出電極208a與第一導電層204，其製程譬如先於基底200上形成一內層介電層(ILD)212覆蓋凸出電極208a、閘極208b、淺溝渠隔離結構220以及第一導電層204。接著，於內層介電層212中形成一接觸窗開口214，暴露出部分凸出電極208a、第一導電層204，再於接觸窗開口214中形成一導電結構216，其材質例如是銅或鎢。而在完成所有動態隨機存取記憶元件的製作後，可提供負電壓至凸出電極208a，以使電容介電層202與206a周圍的矽基底200產生反轉而與源/汲極211具有相同電性，故可將電容介電層202與206a周圍的矽基底200視為電容器的下電極。相對的電容介電層202與206a即為電容器的介電層，而導電結構216、第一導電層204以及凸出電極208a則是電容器的上電極。而且，本圖所示的接觸窗開口214與導電結構216之製作還可與動態隨機存取記憶胞中的位元線(未繪示)同時製作，所以不會增加微影與蝕刻步驟。

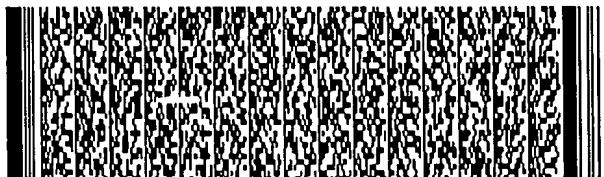
綜上所述，本發明之特點係在溝渠以外的基底上設置一凸出電極覆蓋溝渠與基底交界處來當作電容器上電極的一部份，因此除了能夠防止後續製程傷害電容介電層以避免漏電產生之外，還有增加電容耦合率的功用。而且，本發明可搭配現有的邏輯製程(logic process)來製作具此種電容器的記憶胞，因而可應用於系統單晶片上。而且，



五、發明說明 (9)

本發明明顯較習知的深溝渠式電容器簡單，所以可因簡化製程而降低製造成本。此外，因為本發明的電容器包括凸出於溝渠的電極，而使整個儲存於電容器內的電荷數量較習知多，也因此本發明之電容器能隨元件往更小型化的趨勢發展，同時維持所需的電容值。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係習知一種具有深溝渠式電容器的動態隨機存取記憶胞之剖面示意圖。

第2A圖至第2H圖係依照本發明之一較佳實施例之動態隨機存取記憶胞之製造流程剖面示意圖。

圖式標示說明

100, 200 : 基底

102, 112 : 埋入電極區

104, 202, 206a : 電容介電層

106a, 106b, 106c : 多晶矽層

108 : 領氧化層

110 : 深溝渠

114 : 埋入式帶

130, 208b : 閘極

132, 211 : 源/汲極

140 : 深溝渠式電容器

150 : 電晶體

201 : 墊氧化層

206b : 閘介電層

203, 219 : 圖案化罩幕層

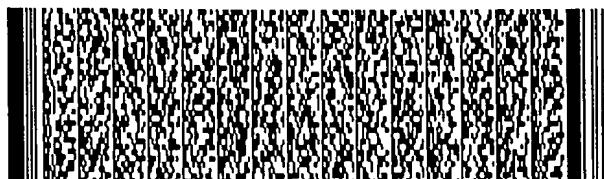
204 : 導電層

208a : 凸出電極

209 : 間隙壁

210 : 溝渠

212 : 內層介電層



圖式簡單說明

214：接觸窗開口

216：導電結構

220：淺溝渠隔離結構



六、申請專利範圍

1. 一種溝渠式電容器之製造方法，包括：

於一基底中形成一溝渠；

於該溝渠表面形成一第一電容介電層；

於該溝渠內形成一導電層；

於該基底表面及該導電層上形成一第二電容介電層，其中該第一電容介電層與該第二電容介電層周圍之該基底係作為一下電極；

於該基底上形成一凸出電極，該凸出電極位於該溝渠周緣之該基底上並覆蓋該溝渠與該基底的交界處；以及

電性連接該凸出電極以及該導電層，其中該導電層以及該凸出電極係作為一上電極。

2. 如申請專利範圍第1項所述之溝渠式電容器之製造方法，其中電性連接該凸出電極以及該導電層之步驟包括：

於該基底上形成一內層介電層覆蓋該凸出電極；

於該內層介電層中形成一接觸窗開口，暴露出部分該凸出電極與該導電層；以及

於該接觸窗開口中形成一導電結構。

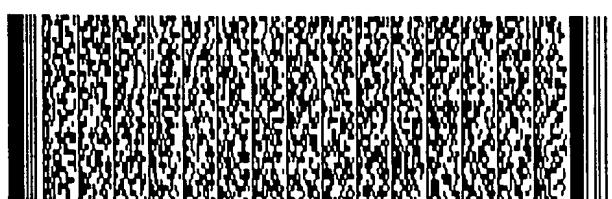
3. 一種動態隨機存取記憶胞之製造方法，包括：

於一基底中形成一溝渠；

於該溝渠表面形成一第一電容介電層；

於該溝渠內形成一導電層；

於該基底表面及該導電層上形成一第二電容介電層，其中該第一電容介電層與該第二電容介電層周圍之該基底



六、申請專利範圍

係作為一電容器之一下電極；

於該基底上形成一凸出電極以及一閘極，其中該凸出電極位於該溝渠周緣之該基底上並覆蓋該溝渠與該基底的交界處；

於該閘極側邊的該基底中形成複數個源/汲極；以及

電性連接該凸出電極以及該導電層，其中該導電層以及該凸出電極係作為該電容器之一上電極。

4. 如申請專利範圍第3項所述之動態隨機存取記憶胞之製造方法，其中電性連接該凸出電極以及該導電層之步驟包括：

於該基底上形成一內層介電層覆蓋該凸出電極；

於該內層介電層中形成一接觸窗開口，暴露出部分該凸出電極與該導電層；以及

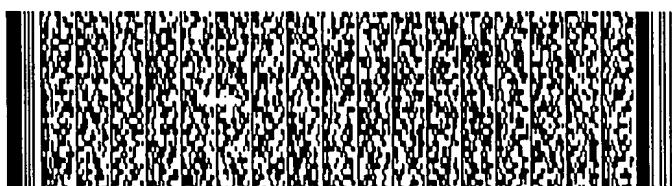
於該接觸窗開口中形成一導電結構。

5. 如申請專利範圍第3項所述之動態隨機存取記憶胞之製造方法，其中於該基底上形成該凸出電極以及該閘極之後，更包括於該凸出電極以及該閘極側壁形成複數個間隙壁。

6. 如申請專利範圍第3項所述之動態隨機存取記憶胞之製造方法，其中於該閘極側邊的該基底中形成該些源/汲極之後，更包括於該凸出電極與該閘極暴露出的表面上形成一自行對準矽化金屬層。

7. 一種溝渠式電容器，包括：

一基底，該基底中具有一溝渠；



六、申請專利範圍

一導電層，填滿該溝渠且延伸至該溝渠周緣的該基底
上；以及

一電容介電層，位於該溝渠表面與該導電層之間以及
該導電層與該基底之間，其中該導電層係作為一上電極，
而該電容介電層周圍之該基底係作為一下電極。

8. 如申請專利範圍第7項所述之溝渠式電容器，其中
該電容介電層包括：

一第一部位，位於該溝渠表面與該導電層之間；以及
一第二部位，位於該導電層與該基底之間。

9. 如申請專利範圍第8項所述之溝渠式電容器，其中
該第一部位與該第二部位之材質相同。

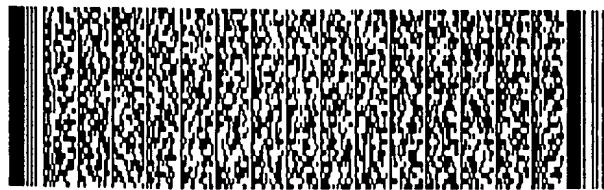
10. 如申請專利範圍第8項所述之溝渠式電容器，其中
該第一部位與該第二部位之材質不同。

11. 如申請專利範圍第7項所述之溝渠式電容器，其中
該電容介電層包括氧化層、氧化矽/氮化矽/氧化矽堆疊層
(ONO) 氮化矽/氧化矽堆疊層(ONO)。

12. 如申請專利範圍第7項所述之溝渠式電容器，其中
該導電層之材質包括摻雜多晶矽。

13. 一種溝渠式電容器，包括：

一基底，該基底中具有一溝渠；
一導電層，位於該溝渠內；
一第一部位，位於該溝渠表面與該導電層之
間；
一凸出電極，位於該溝渠周緣之該基底上並覆蓋該溝



六、申請專利範圍

渠與該基底的交界處；

一第二電容介電層，位於該凸出電極與該基底之間，其中該第一電容介電層與該第二電容介電層周圍之該基底係作為一下電極；以及

一導電結構，電性連接該凸出電極與該導電層，其中該導電層、該凸出電極以及該導電結構係作為一上電極。

14. 如申請專利範圍第13項所述之溝渠式電容器，其中該凸出電極延伸覆蓋於該導電層上。

15. 如申請專利範圍第13項所述之溝渠式電容器，其中該第一與第二電容介電層包括氧化層、氧化矽/氮化矽/氧化矽堆疊層或氮化矽/氧化矽堆疊層。

16. 如申請專利範圍第13項所述之溝渠式電容器，其中該導電層與該凸出電極之材質包括摻雜多晶矽。

17. 如申請專利範圍第13項所述之溝渠式電容器，其中該導電結構之材質包括銅與鎢其中之一。

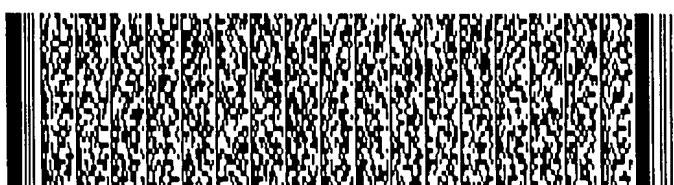
18. 一種動態隨機存取記憶胞，包括：

一基底，該基底中具有一溝渠；

一導電層，填滿該溝渠且延伸至該溝渠周緣的該基底上；

一電容介電層，位於該溝渠表面與該導電層之間以及該導電層與該基底之間，其中該導電層係作為一電容器之上電極，而該電容介電層周圍之該基底係作為該電容器之下電極；

一閘極，位於該導電層旁之該基底上；



六、申請專利範圍

複數個源/汲極，位於該閘極側邊的該基底中；以及一閘介電層，位於該閘極與該基底之間。

19. 如申請專利範圍第18項所述之動態隨機存取記憶胞，其中該電容介電層包括氧化層、氧化矽/氮化矽/氧化矽堆疊層或氮化矽/氧化矽堆疊層。

20. 如申請專利範圍第18項所述之動態隨機存取記憶胞，其中該電容介電層與該閘介電層之材質相同。

21. 如申請專利範圍第18項所述之動態隨機存取記憶胞，其中該電容介電層與該閘介電層之材質不同。

22. 如申請專利範圍第18項所述之動態隨機存取記憶胞，其中該導電層以及該閘極之材質包括摻雜多晶矽。

23. 如申請專利範圍第18項所述之動態隨機存取記憶胞，更包括複數個間隙壁，位於該導電層以及該閘極之側壁。

24. 如申請專利範圍第23項所述之動態隨機存取記憶胞，更包括一自行對準矽化金屬層，位於該導電層與該閘極的表面上。

25. 一種動態隨機存取記憶胞，包括：

一基底，該基底中具有一溝渠；

一導電層，位於該溝渠內；

一第一電容介電層，位於該溝渠表面與該導電層之間；

一凸出電極，位於該溝渠周緣之該基底上並覆蓋該溝渠與該基底的交界處；



六、申請專利範圍

一 第二電容介電層，位於該凸出電極與該基底之間以及該凸出電極與該導電層之間，其中該第一電容介電層與該第二電容介電層周圍之該基底係作為一電容器之下電極；

一 閘極，位於該凸出電極旁之該基底上；

複數個源/汲極，位於該閘極側邊的該基底中；

一 閘介電層，位於該閘極與該基底之間；以及

一 導電結構，電性連接該凸出電極與該導電層，其中該導電層、該凸出電極以及該導電結構係作為該電容器之上電極。

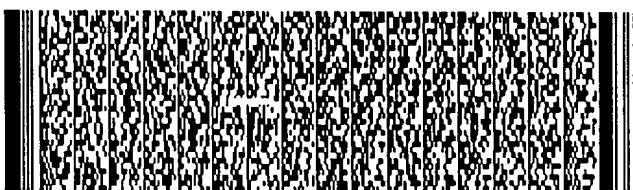
26. 如申請專利範圍第25項所述之動態隨機存取記憶胞，其中該凸出電極延伸覆蓋於該導電層上。

27. 如申請專利範圍第25項所述之動態隨機存取記憶胞，其中該第一電容介電層與該第二電容介電層包括氧化層、氧化矽/氮化矽/氧化矽堆疊層或氮化矽/氧化矽堆疊層。

28. 如申請專利範圍第25項所述之動態隨機存取記憶胞，其中該導電層、該閘極以及該凸出電極之材質包括摻雜多晶矽。

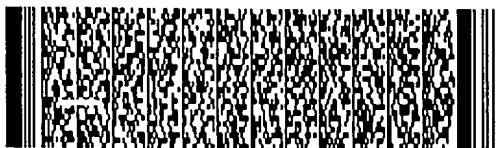
29. 如申請專利範圍第25項所述之動態隨機存取記憶胞，其中該導電結構之材質包括銅與鎢其中之一。

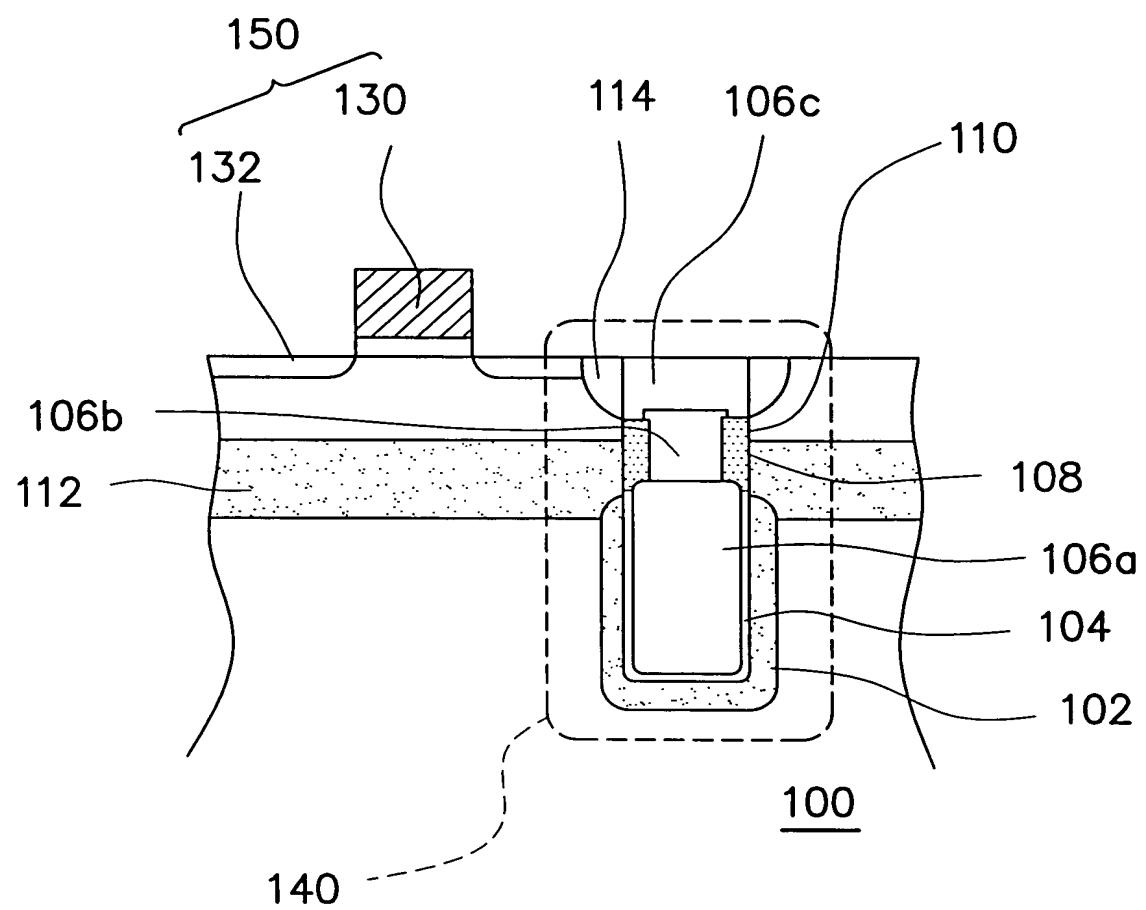
30. 如申請專利範圍第25項所述之動態隨機存取記憶胞，更包括複數個間隙壁，位於該凸出電極以及該閘極之側壁。



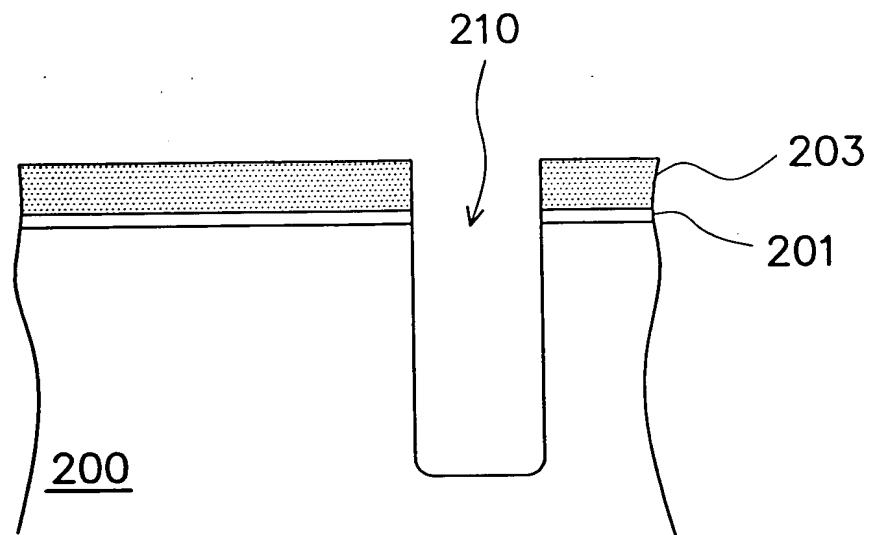
六、申請專利範圍

31. 如申請專利範圍第30項所述之動態隨機存取記憶胞，更包括一自行對準矽化金屬層，位於該凸出電極與該閘極的表面上。
32. 如申請專利範圍第25項所述之動態隨機存取記憶胞，其中該第一、第二電容介電層與該閘介電層之材質相同。
33. 如申請專利範圍第25項所述之動態隨機存取記憶胞，其中該第一、第二電容介電層與該閘介電層之材質不同。

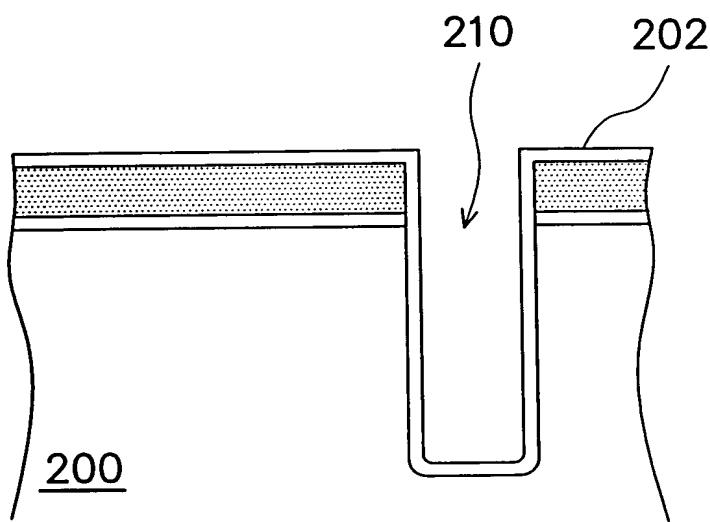




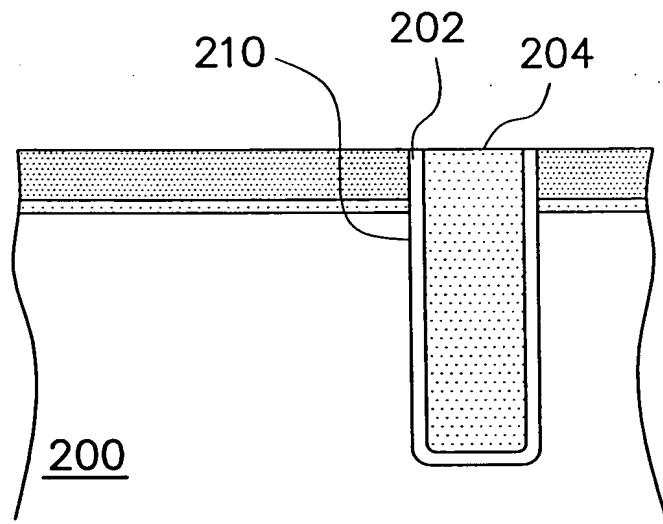
第 1 圖



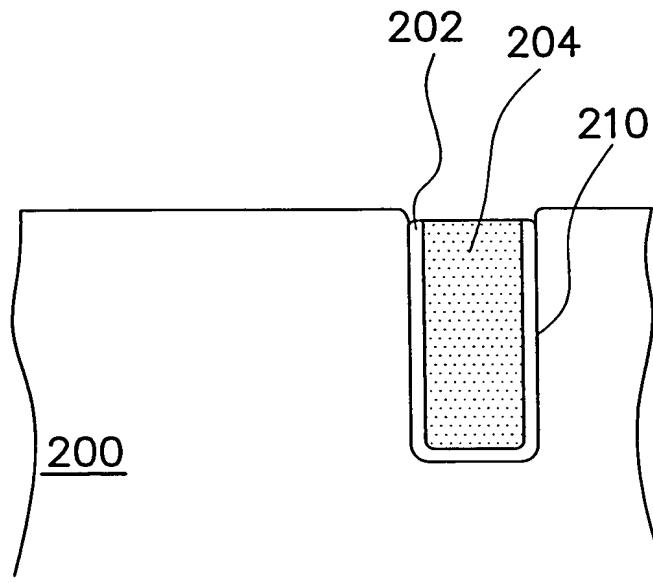
第 2A 圖



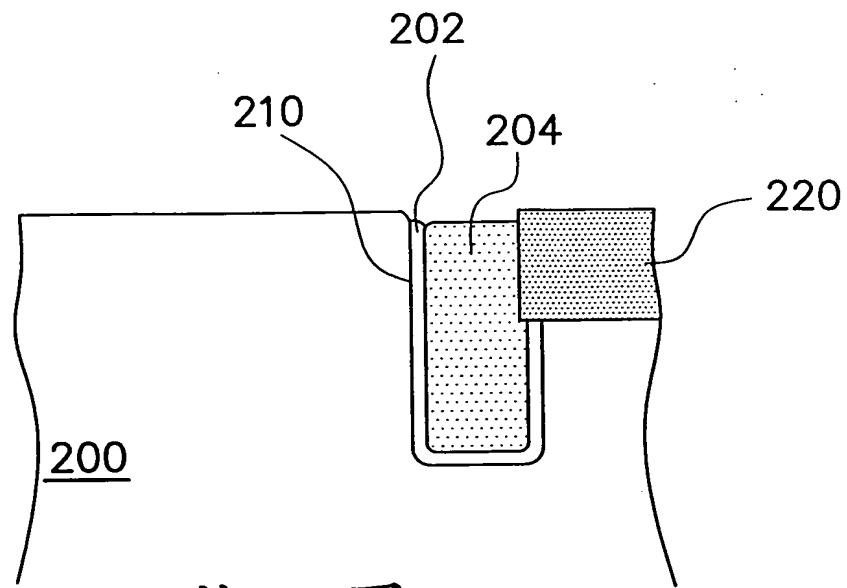
第 2B 圖



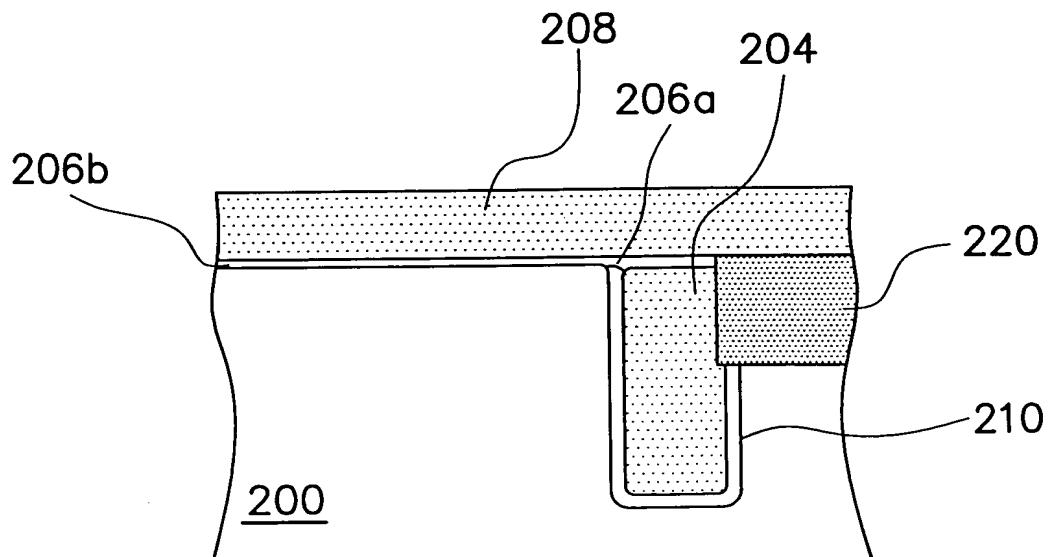
第 2C 圖



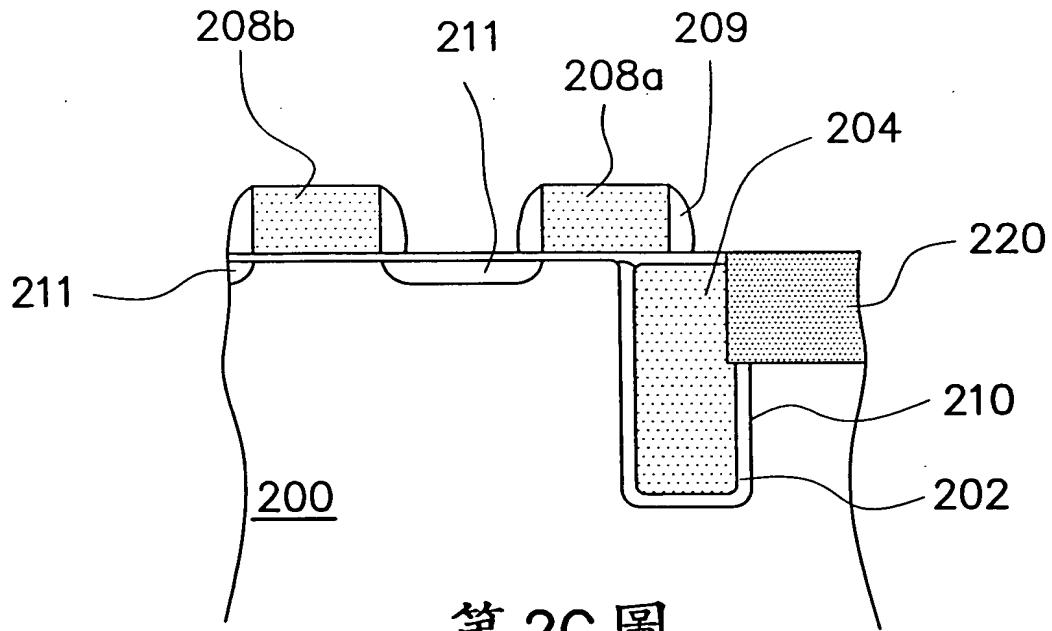
第 2D 圖



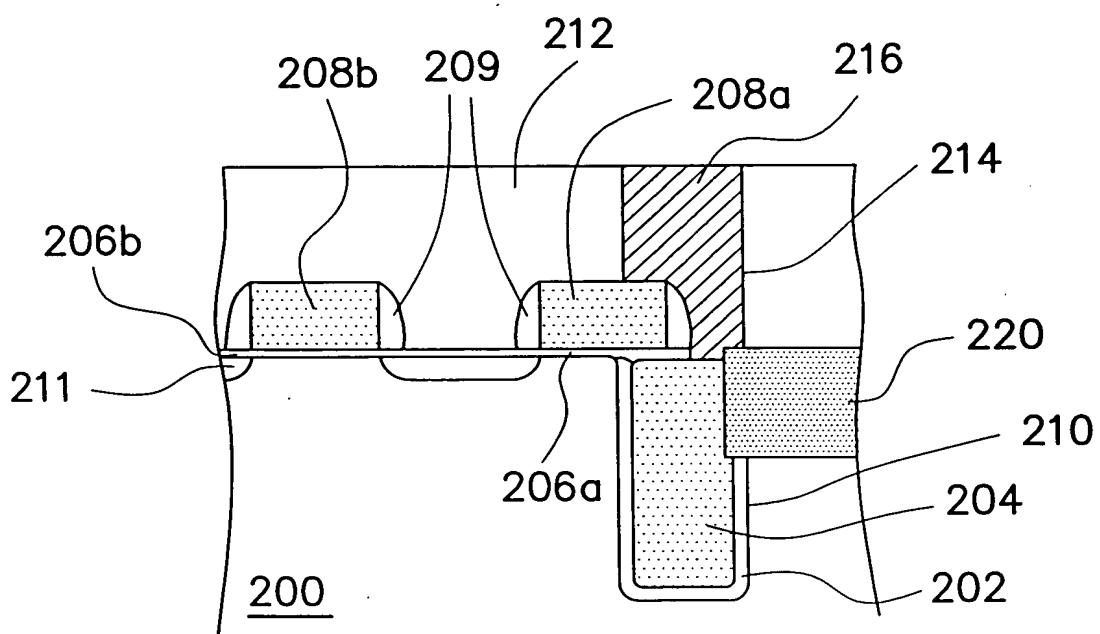
第 2E 圖



第 2F 圖

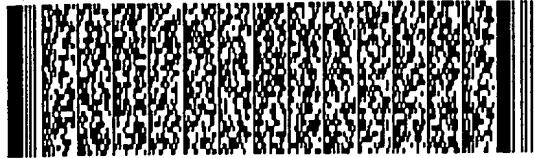


第 2G 圖



第 2H 圖

第 1/24 頁



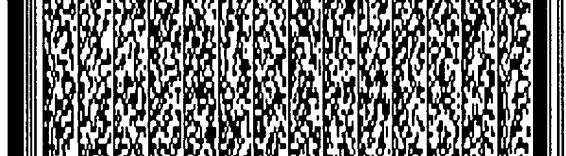
第 1/24 頁



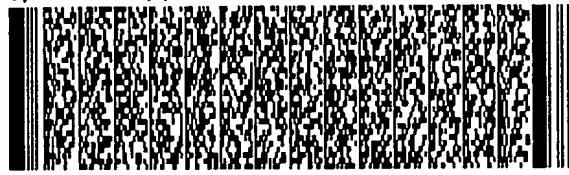
第 2/24 頁



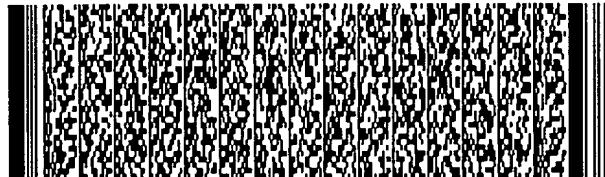
第 3/24 頁



第 3/24 頁



第 4/24 頁



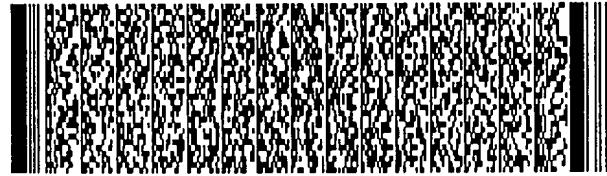
第 5/24 頁



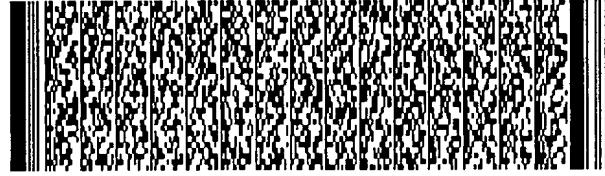
第 6/24 頁



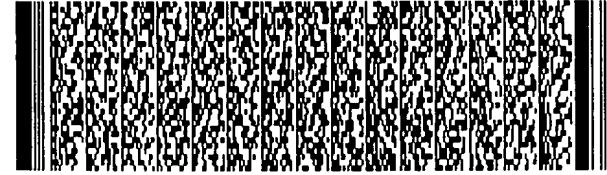
第 7/24 頁



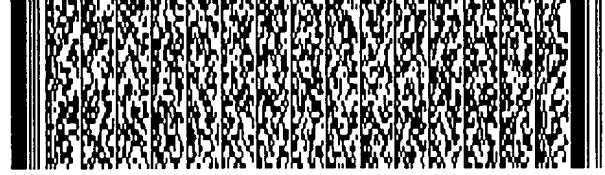
第 7/24 頁



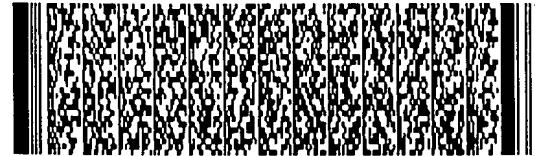
第 8/24 頁



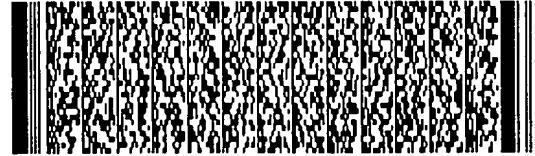
第 8/24 頁



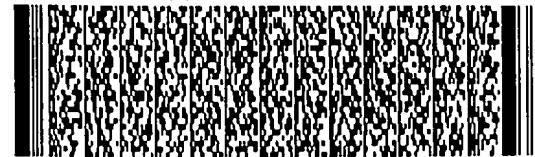
第 9/24 頁



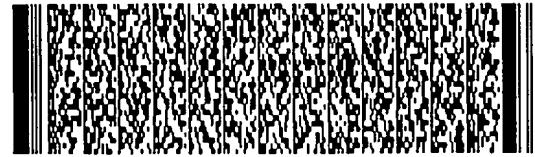
第 9/24 頁



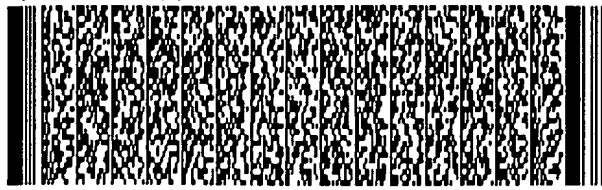
第 10/24 頁



第 10/24 頁



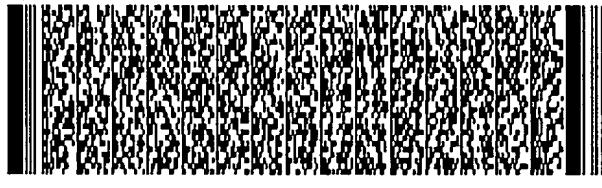
第 11/24 頁



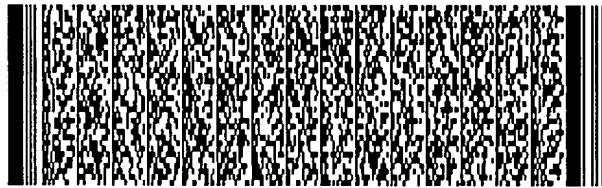
第 12/24 頁



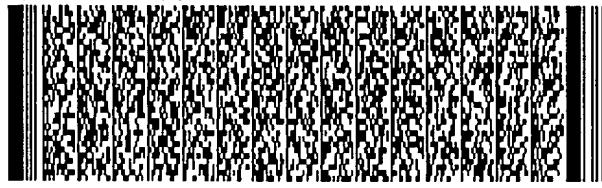
第 13/24 頁



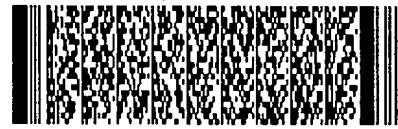
第 14/24 頁



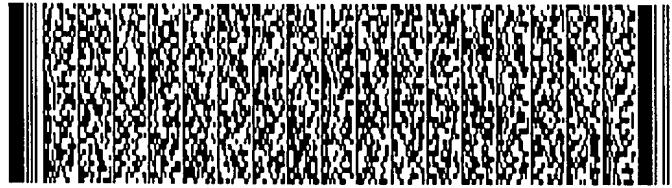
第 15/24 頁



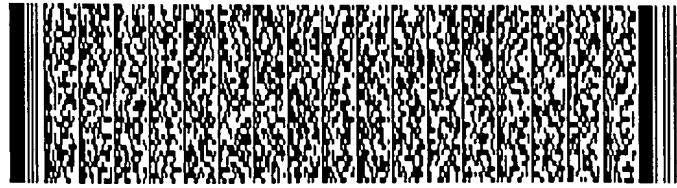
第 17/24 頁



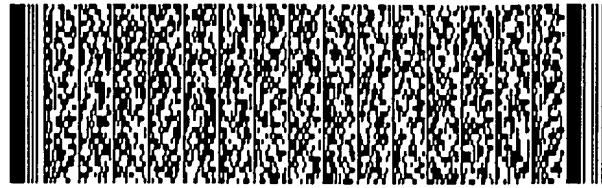
第 19/24 頁



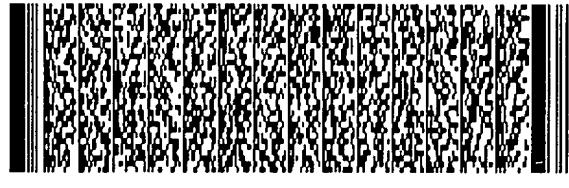
第 21/24 頁



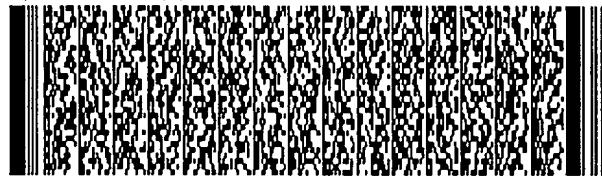
第 11/24 頁



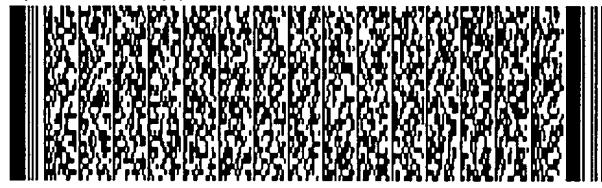
第 12/24 頁



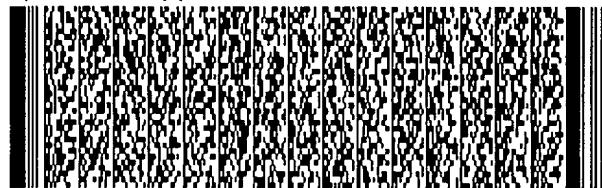
第 13/24 頁



第 14/24 頁



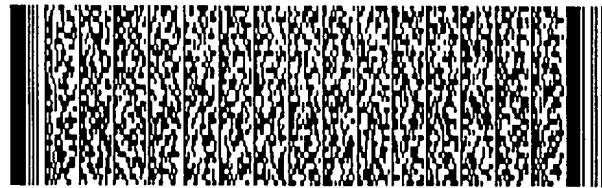
第 16/24 頁



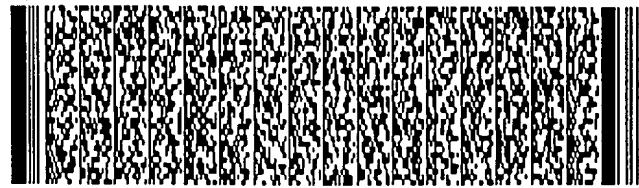
第 18/24 頁



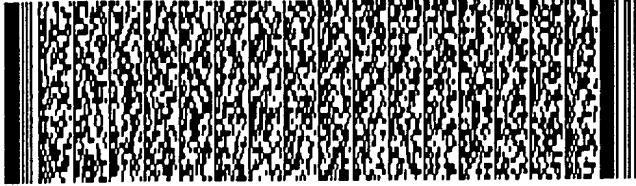
第 20/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

